

PATENT ABSTRACTS OF JAPAN

BEST AVAILABLE COPY

(11)Publication number : 04-135275
 (43)Date of publication of application : 08.05.1992

(51)Int.CI. G06F 15/347
 G06F 9/38
 G06F 9/38

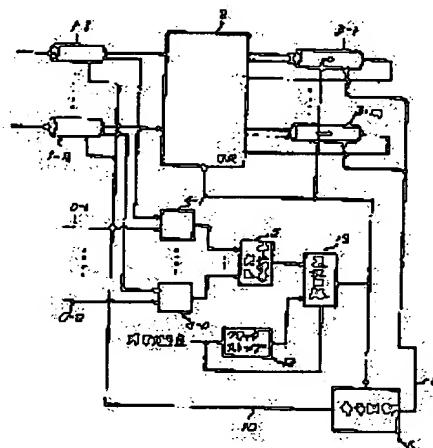
(21)Application number : 02-258124 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 27.09.1990 (72)Inventor : NAKATANI SHOJI

(54) PIPELINE CONTROL SYSTEM

(57)Abstract:

PURPOSE: To detect trouble of a control circuit at the time of a clock stop in its early stage by providing a clock stop means which stops a clock forcibly from outside by an integral multiple of the number of interleaved pulses.

CONSTITUTION: A clock stop circuit 12 outputs one pulse after stopping the clock by an integral multiple of the number of interleaved pulses, and the integer can be set from outside. Therefore, the clock period is delayed by the integral multiple of the number of interleaved pulses. A selecting circuit 13 performs stop control over arithmetic pipelines 3-1 – 3-m, a vector register 2, an instruction control part 6, etc., normally according to a signal sent from a stop signal generation part 5, but performs the stop control over them according to a signal sent from the clock stop circuit 12 once an external setting signal is sent. Consequently, the trouble can be detected in its early stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A)

平4-135275

⑬ Int. Cl. 5

G 06 F 15/347
9/38

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月8日

15/347

3 1 0	A	6798-5L
3 1 0	E	7927-5B
3 8 0	G	7927-5B
	X	7927-5B
	D	6798-5L
	F	6798-5L

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 パイプライン制御方式

⑮ 特 願 平2-258124

⑯ 出 願 平2(1990)9月27日

⑰ 発明者 中谷 彰二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代理人 弁理士 山谷 啓榮

明細書

1. 発明の名称 パイプライン制御方式

2. 特許請求の範囲

少なくとも1つ乃至複数本のアクセスパイプライン (1-1~1-n) と、1つ乃至複数本の演算パイプライン (3-1~3-m) と、インタリープされたベクトルレジスタ (2) を有するベクトル処理装置と、1つ乃至複数台の主記憶装置と、アクセスパイプライン (1-1~1-n) からのメモリアクセスを制御するためのメモリアクセス制御装置を具備し、前記アクセスパイプライン (1-1~1-n) によって前記主記憶装置からベクトルレジスタにロードされたデータをレジスタ連鎖することにより、順次前記演算パイプラインにデータを供給するようにし、前記主記憶装置からベクトルレジスタ (2) にロードするデータが枯渇したときには前記演算パイプライン (3-1~3-m) をベクトルレジスタのインタリーブ数分だけクロックストップさせるように制御したベクトル処理装置において、

外部から強制的にインタリープ数の整数倍だけクロックストップさせるクロックストップ手段 (13) を設け、

クロックストップ時の制御回路の障害を早期に検出可能にしたパイプライン制御方式。

3. 発明の詳細な説明

(目次)

概要

産業上の利用分野

従来の技術 (第3図~第6図)

発明が解決しようとする課題

課題を解決するための手段 (第1図)

作用

実施例 (第2図)

発明の効果

(要旨)

バイブルайн回路方式に因し、

演算バイブルайнを停止回路する回路回路及び停止する始端回路の論理矛盾あるいは回路を、例えば演算段階で早期に検出可能とすることを目的とし、

少なくとも1つ乃至複数本のアクセスバイブルайнと、1つ乃至複数本の演算バイブルайнと、インタリープされたベクトルレジスタを有するベクトル処理装置と、1つ乃至複数台の主記憶装置と、アクセスバイブルайнからのメモリアクセスを回路するためのメモリアクセス回路装置を具備し、前記アクセスバイブルайнによって前記主記憶装置からベクトルレジスタにロードされたデータをレジスタ回路させることにより、次前記演算バイブルайнにデータを供給するようにし、前記主記憶装置からベクトルレジスタにロードするデータが枯渇したときには前記演算バイブルайнをベクトルレジスタのインタリープ段階分だけクロックストップさせるように制御したベクトル処理

(2) 装置において、外部から強制的にインタリープ段階だけクロックストップさせるクロックストップ手段を置き、クロックストップ時の回路回路の回路を早期に検出可能と構成する。

(実質上の利用分野)

本発明はベクトルレジスタを有したベクトル処理装置において、ロードアクセスバイブルайнと、演算バイブルайнがリンク動作するときの演算バイブルайнの停止制御に関する。

(従来の技術)

ベクトル演算装置は、第3図に示す如く、CP U20、ベクトル・ユニット21、算数又は複数の主記憶装置22-0、22-1…、メモリ制御装置23を具備している。そしてベクトル・ユニット21には、複数のベクトルレジスタVR0、VR1…と、演算器LU0、LU1…を具備している。

ベクトルレジスタは、第4図に示す如く、バン

ク0、バンク1…バンク7の8個のバンクにインタリープされている。なお、第4図は、第3図に示すベクトルレジスタVR0及びその周辺回路の接続状態説明図であり、メモリ制御装置に対し、エレメント(データ)を要求したり、要求したエレメントを所定のバンクに回込むベクトルロード部30-0、30-1、演算器LU0で演算すべきエレメントをバンク0～バンク7より選択的に読み出す選択部31-0、31-1を有する。

今、第5図の右上に示す如き命令を実行する場合について説明する。ここでVLはベクトル・ロード、VADは加算を示し、ベクトルAとしてVRaを、ベクトルBとしてVRbをそれぞれベクトルレジスタにロードして、これらを加算することを示している。

従って、第5図に示す如く、第1ロードバイブルайнでは、ベクトルAをロードするため、①アドレス発生、②アドレス変換(論理アドレス→実アドレス)、③メモリアクセス、④メモリ起動、⑤データフェッチ、⑥ベクトルレジスタのバンク

書き込みが行われる。これは、第1ロードバイブルайнを第4図に示すベクトルロード部30-0とすればこのベクトルロード部30-0及びメモリ制御装置で前記処理が行われる。

また、第2ロードバイブルайнをベクトルロード部30-1とすれば、ベクトルAのロードと並行して、ベクトルBのロードがベクトルロード部30-1等で行われる。

ベクトルレジスタにロードされたVRa、VRbは選択部31-0、31-1で読み出され、演算器LU0で、第5図に示す加算ステージが実行される。

ところで演算バイブルайнは、ベクトルレジスタ上のデータを回路処理するように構成されているが、アクセスバイブルайнは、メモリ制御装置においてメモリアクセス回路が起るので、必ずしも所望のデータをベクトルレジスタに回路供給できるとは限らない。

そのため、ロードバイブルайнがベクトルレジスタにデータをロードしこれを演算バイブルайн

が読み出して処理を行うという、両パイプラインがリンク動作する場合には、このロードパイプラインのデータ供給の非遮断性により、清算パイプラインのデータ書き込みを追い越す危険がある。⁽³⁾

これを回避するためには、時々ベクトルレジスタのインタリーブ分だけ（第4図の例では8サイクル）清算パイプラインを停止して、両パイプラインの歩調を合わせることが必要となる。

第6図は、従来のベクトル処理装置におけるパイプライン制御を示すブロック図である。

第6図において、1-1～1-nはロードアクセスパイプラインであり、図示省略された記憶装置とベクトルレジスタ2との間のデータ伝送を行う。

2はベクトルレジスタであり、清算前級及び清算中のデータを保持し、高速アクセスが可能なレジスタ群である。

3-1～3-mは清算パイプラインであり、ベクトルレジスタ2からデータを読み出しつつ清算し、清算結果をベクトルレジスタ2に書き込む。

図では、ロードデータ書き込み予告信号7-1～7-nと、リンク信号8-1～8-nを監視しており、リンク信号8-1～8-nが有効なときに、ロードデータ書き込み予告信号7-1～7-nが無効になると、清算パイプライン停止要求発生部4-1～4-nは清算パイプライン停止信号発生部5に発生する。

清算パイプライン停止信号発生部5では、清算パイプライン停止要求発生部4-1～4-nの各々の停止要求を監視し、1つでも要求が発生していれば、清算パイプライン停止信号9をオンにして有効にし、清算パイプライン3-1～3-mを停止させる。

また清算パイプライン停止信号発生部5においては、前記停止要求が消滅しても、インタリーブされたベクトルレジスタ2を清算パイプライン3-1～3-mがアクセスするタイミングになるまでは、清算パイプライン停止信号9をカフにして無効にしないように制御している。

またこの清算パイプライン停止信号9はベクト

4-1～4-nは清算パイプライン停止要求発生部、5は清算パイプライン停止信号発生部、6は命令制御部である。

ロードアクセスパイプライン1-1～1-nにおいて、ロード命令実行中であり、ロードデータをベクトルレジスタ2に書き込む場合には、ロードデータ書き込み予告信号7-1～7-nが例えればオンとなり、有効となる。即ち、メモリ制御装置が、アクセス要求を行ったロードアクセスパイプラインに対し、メモリアクセスを行ったという信号を通知するので、これによりそのロードパイプラインは、ロードデータ書き込み予告信号7-1～7-nをオン（有効）にすることが可能となる。

ロードアクセスパイプライン1-1～1-nが実行中のロード命令の実行完了を待たず、ロードアクセスパイプライン1-1～1-nが書き込み中のデータを清算パイプライン3-1～3-mが使用するリンク動作モード中の時は、リンク信号8-1～8-nはオンとなっている。

清算パイプライン停止要求発生部4-1～4-

ルレジスタ2に伝送され、清算パイプライン3-1～3-mが停止したとき、ベクトルレジスタ2のレジスタアドレス等の更新を行わないようにする。

命令制御部6は命令発信制御を行うものであり、信号10、11によりロードアクセスパイプライン1-1～1-n、清算パイプライン3-1～3-mを制御するものであるが、清算パイプライン3-1～3-mが停止している場合には、同じく清算パイプライン停止信号9により命令発信を行わないように制御される。

【発明が解決しようとする課題】

この第6図に示す従来の方式では、清算パイプライン停止信号発生部5から出力される清算パイプライン停止信号9によって清算パイプライン3-1～3-mの停止、ベクトルレジスタ2のアドレス更新の制御、命令制御部6の命令発信の制御等、複雑な制御を行う必要があり、そのため清算パイプライン3-1～3-mのクロックストップ

時の命令制御部 6、清算バイブルайн 3-1~3 (4)

-m の停止制御回路等の制御回路の回路を早期に検出しにくいという問題があった。

〔検出を解決するための手段〕

このため、本発明では、第1図に示す如く、クロックストップ回路 12 と選択回路 13 を設ける。クロックストップ回路 12 は、インタリーブ段の盛数倍だけクロックストップさせたのちパルスを 1つ出力するものであり、その盛数の値は外部より設定できるように構成されている。従って、インターリーブ段の盛数倍だけクロック周期を遅延させる。

選択回路 13 は、通常の場合は停止信号発生部 5 から伝達される信号にもとづき清算バイブルайн 3-1~3-m、ベクトルレジスタ 2、命令制御部 6 等の停止制御を行うが、外部設定信号が伝達されるとクロックストップ回路 12 から伝達される信号にもとづきこれらの停止制御を行うことになる。

4-1~4-n は清算バイブルайн停止要求発生部であり、5 は清算バイブルайн停止信号発生部であり、清算バイブルайн停止要求発生部 4-1~4-n のいずれかから停止要求信号が出力されたとき、清算バイブルайн停止信号を出力し清算バイブルайн 3-1~3-m の動作を停止させるように、制御するものである。勿論このとき、ベクトルレジスタ 2、命令制御部 6 の動作も停止されるものとなる。

6 は命令制御部であって命令発信制御を行い、例えば信号 10、11 によりロードアクセスバイブルайн 1-1~1-n、清算バイブルайн 3-1~3-m への命令発信を制御させるものである。

12 はクロックストップ回路であり、外部より指定されたインターリーブ段分の盛数倍だけクロックストップさせる回路である。このため、カウンタ 12-1、算出部 12-2、算出部 12-3、レジスタ 12-4 等を具備している。算出部 12-3 はインターリーブ段「8」が入力され、レジスタ 12-4 に外部設定された数値と算出され、カ

〔作用〕

したがって、通常は、第6図に示す従来のものと同様に動作させることができるが、その動作をチェックしたい場合には、外部設定信号によりクロックストップ回路 12 及び選択回路 13 を切離して、クロックをインタリーブ段の盛数倍だけ周期を大きくして遅い動作状態に固定することができる。これにもとづき、例えばテスト段階において各部のチェックを正確に行うことができ、不釣り合いの点を早期に検出することができる。

〔実施例〕

本発明の一実施例を第2図にもとづき説明する。

第2図において、第1図、第6図と同一記号は同一部分を示す。

第2図において、1-1~1-n はロードアクセスバイブルайнである。2 はベクトルレジスタであり、3-1~3-m は清算バイブルайнである。

ウンタ 12-1 がこの算出部に初期設定される。そしてこの初期設定値が算出部 12-2 により「-1」清算されてゼロになったとき、クロックストップ回路 12 はパルスを 1つ出力する。

13 は選択回路であり、通常は停止信号発生部 5 から伝達された信号を出力するが、外部設定信号が入力されたとき、クロックストップ回路 12 から伝達される信号を出力する。

前記の如く、選択回路 13 は、通常では停止信号発生部 5 の信号を出力するので、第6図に示す従来のものと同様に動作する。

ところで、監査段階やテスト段階など何等かの理由で不釣り合いの存在が予想されるような場合には、外部設定信号により、レジスタ 12-4 に例えば数値「2」を設定する。これにより算出部 12-3 では $2 \times 8 = 16$ が清算され、カウンタ 12-1 は 16 に初期設定され、クロックストップ回路 12 はクロックストップ信号を出力する。このクロックストップ信号は、選択回路 13 を経由して、前記の如く、清算バイブルайн 3-1~3-m、

ベクトルレジスタ2、命令制御部6に伝達され、動作停止状態となる。そしてカンウタ12-1がクロックにより「-1」演算され、ゼロになったときクロックストップ回路12からクロックが1個出力される。これにより前記動作停止状態が1クロック分だけ解除され、再び動作停止状態となる。即ち、これにより前記各部は、周期が前記乗算器12-3の計算値だけスローダウンしたクロックで制御されている状態となる。それ故、この間に各部の診断を正確に行うことができる。例えばクロック停止期間中に、動作してはおかしい部分が動作する等の状態を、正しくチェックすることができる。

勿論、レジスタ 12-4 に設定する整数は、特定値に限定されるものではなく、適宜選択できるものである。

(発明の効果)

本発明によればクロックストップ時間が外部設定信号により自由に与えられるようにしたので、

6 ……命令制御部
 1 2 ……クロックストップ回路
 1 3 ……選択回路

特許出願人 富士通株式会社
代理人弁理士 山谷皓榮

(5) チェック対象に応じてこれを選定することにより
クロックストップ時の各部の障害を正確にチェック
することが可能となる。従ってテスト中に設計
ミス等を検出することが容易となり、障害の早期
検出が可能となる。

4. 図面の簡単な説明

第1図は本発明の原理説明図、

第2図は本発明の一実施例構成図、

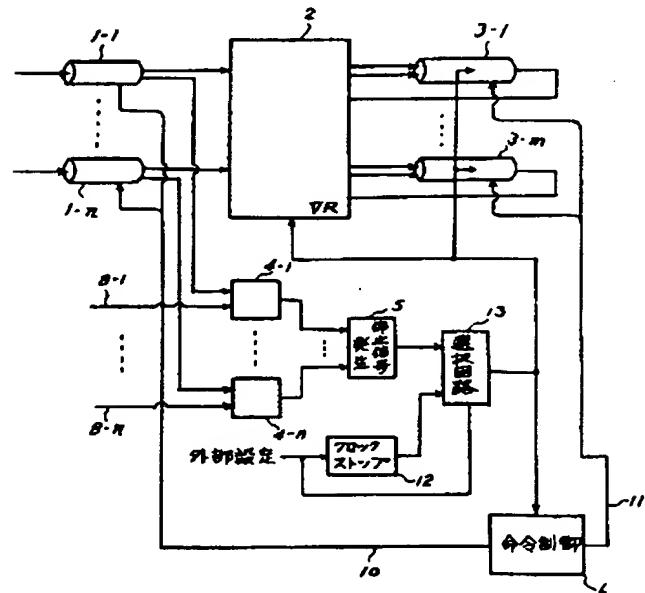
第3図はデータ処理装置の概略図、

第4図はベクトルレジスタ説明図、

第5図は演算状態説明図、

第6図は従来例である。

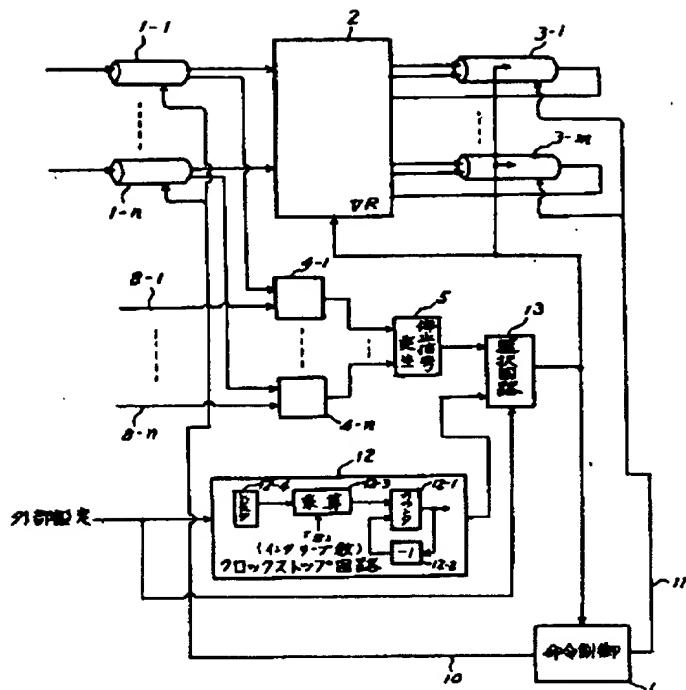
1 - 1 ~ 1 - n ……ロードアクセスバイオペライン
 2 ……ベクトルレジスタ
 3 - 1 ~ 3 - m ……演算バイオペライン
 4 - 1 ~ 4 - n ……演算バイオペライン停止要求発
 生部
 5 ……演算バイオペライン停止信号発生部



本発明の原理図

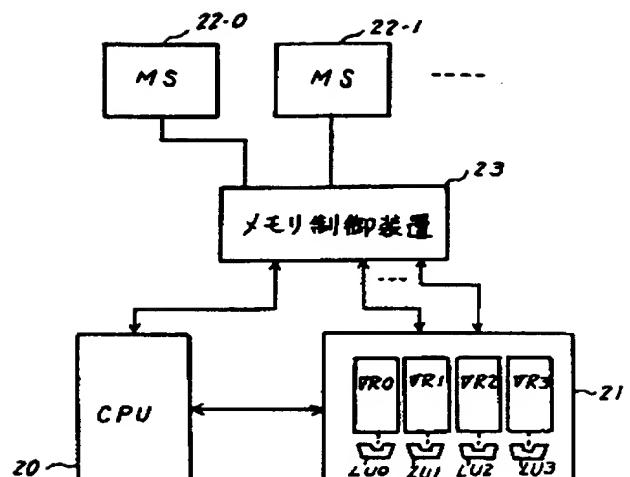
第1図

(6)



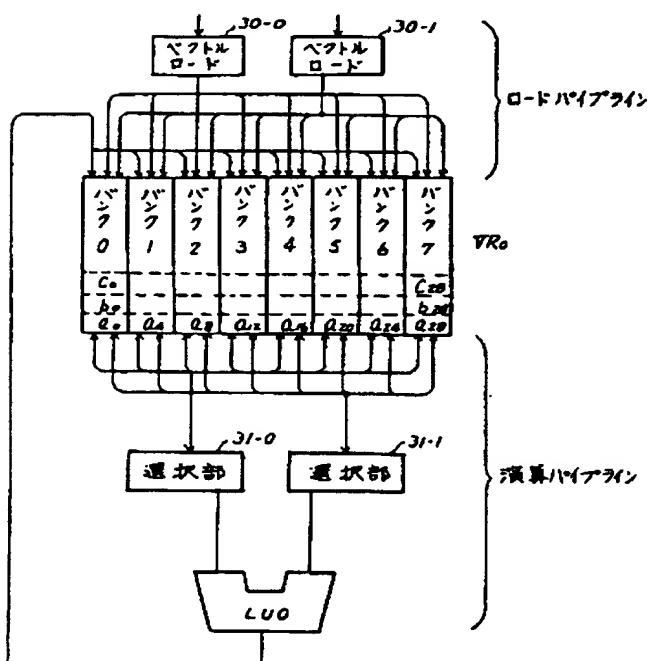
本発明の一実施例

第2図



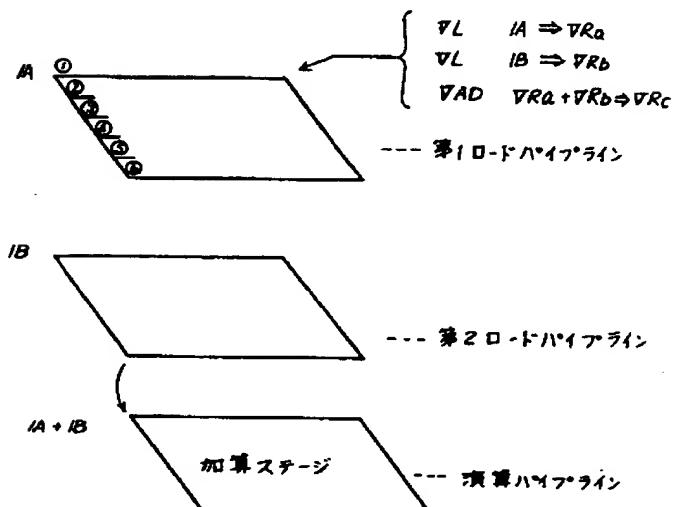
データ処理装置

第3図



ベクトルレジスタ説明図

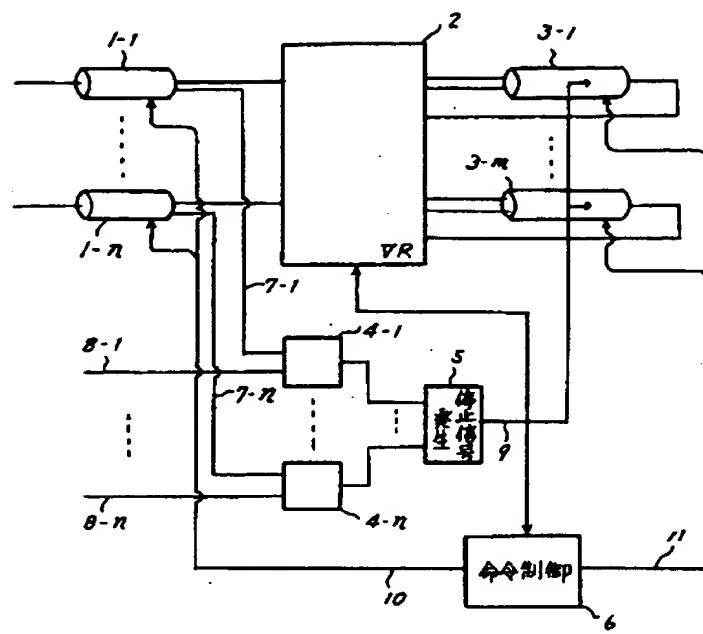
第4図



演算状態説明図

第5図

(7)



従来例
第6図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.